

Versuch Nr. 7
Serielle Schnittstelle

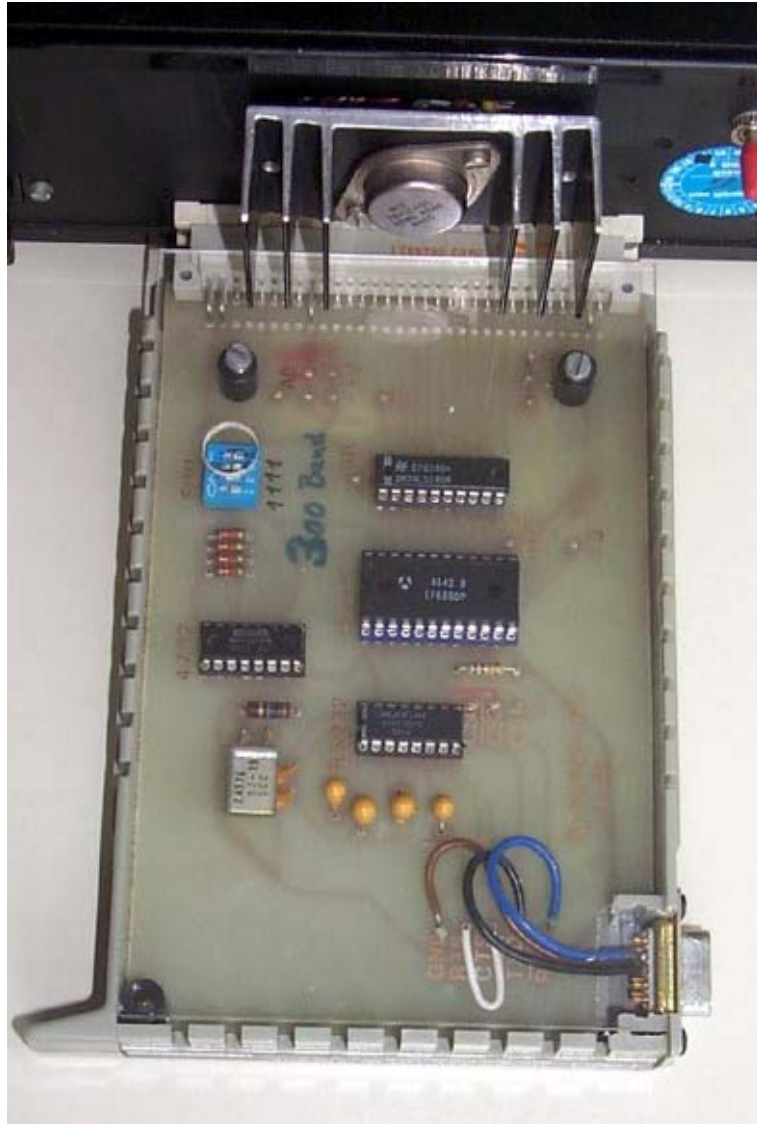
Praktikum

Steuer- und Rechenwerke Motorola MC 6802



Betreuung:
Dipl.-Ing. F. Bollensen
C. Christmann

Versuch Nr. 7
Serielle Schnittstelle



Versuch Nr. 7

Serielle Schnittstelle

Die ACIA - Karte des 6802-Minicomputers

Die ACIA - Karte (Asynchronous Communications Interface Adapter) realisiert eine serielle Schnittstelle für den 6802-Minicomputer. In diesen Versuchen geht es darum, die serielle Datenübertragung und die Funktionen dieser Schnittstelle zu verstehen und anzuwenden. Die folgenden Aufgaben sind zu lösen, die Dokumentation im Anhang sollte alle dazu erforderlichen Informationen liefern.

Aufgabe 1: Installation der ACIA Karte

- (a) Vervollständigen Sie den Gesamtschaltplan (s. Abb. im Anhang), indem Sie die fehlenden Leitungen einzeichnen. Lassen Sie Ihre Ergänzungen überprüfen!
- (b) Stecken Sie jetzt die fehlenden Drahtbrücken auf die ACIA - Karte. Lassen Sie Ihre Arbeit überprüfen!
- (c) Überprüfen Sie die eingestellte Baud-Rate anhand der Codierschalter (s. Tabelle 8 im Anhang)
- (d) Schalten Sie den 6802-Minicomputer aus und stecken Sie die ACIA - Karte an den 64pol. Busanschluss.
- (e) Schalten Sie den Minicomputer wieder ein. Befindet er sich in der HKS und zeigt "Gib Kommando!", so war die Installation erfolgreich und die ACIA - Karte ist einsatzbereit.
Andernfalls sofort ausschalten und Fehler suchen!

Aufgabe 2: Anschluss eines externen Gerätes (V24-Terminal)

Überprüfen Sie die Einstellungen des V24-Terminals und korrigieren Sie diese falls nötig. Die Eingangstreiber des V24-Terminals müssen dabei wie folgt eingestellt werden:

Datenempfang auf Pin 3

Sendeleitung auf Pin 2

Die Baud-Rate des Terminals muss die gleiche wie bei der ACIA - Karte sein.

Die Einstellungen des V24-Terminals werden mit Schaltern am Gerät vorgenommen, die Bedeutung der Schalter ist dabei auf dem Gerät erklärt.

Verbinden Sie nun V24-Terminal über das Schnittstellenkabel der ACIA - Karte mit dem Minicomputer.

**Versuch Nr. 7**

Serielle Schnittstelle

Aufgabe 3: Programmierung der ACIA-Karte

Beispielprogramm: Schreibt laufend "A" (\$41) auf den Terminalbildschirm.

Ablaufplan: ACIA zurücksetzen (Reset)
 Steuerregister setzen (Init)
 Zeichen im Akku ausgeben (Send)

Label	MNEMONIC	Adresse	Befehl			Bemerkung
			Op-C.	1.Op.	2.Op.	
Start	LDA B #\$ 03	A000				Initialisierung
	STA B \$9000					durch Master - Reset
	LDA B SET					Übertragungsrahmen
	STA B \$9000					
	LDA A #\$ 41					ASCII "A" in Akku A
Loop	LDA B \$9000					Statusregister lesen
	BIT B #\$ 02					Maske für Status
	BEQ Loop					Senderegister nicht leer!
	STA A \$9001					"A" ausgeben
	JMP Loop					usw.

Erläuterungen: SET beschreibt den Aufbau des Übertragungsrahmens. Die Werte sind den Registerbeschreibungen (Tabelle 2) zu entnehmen.

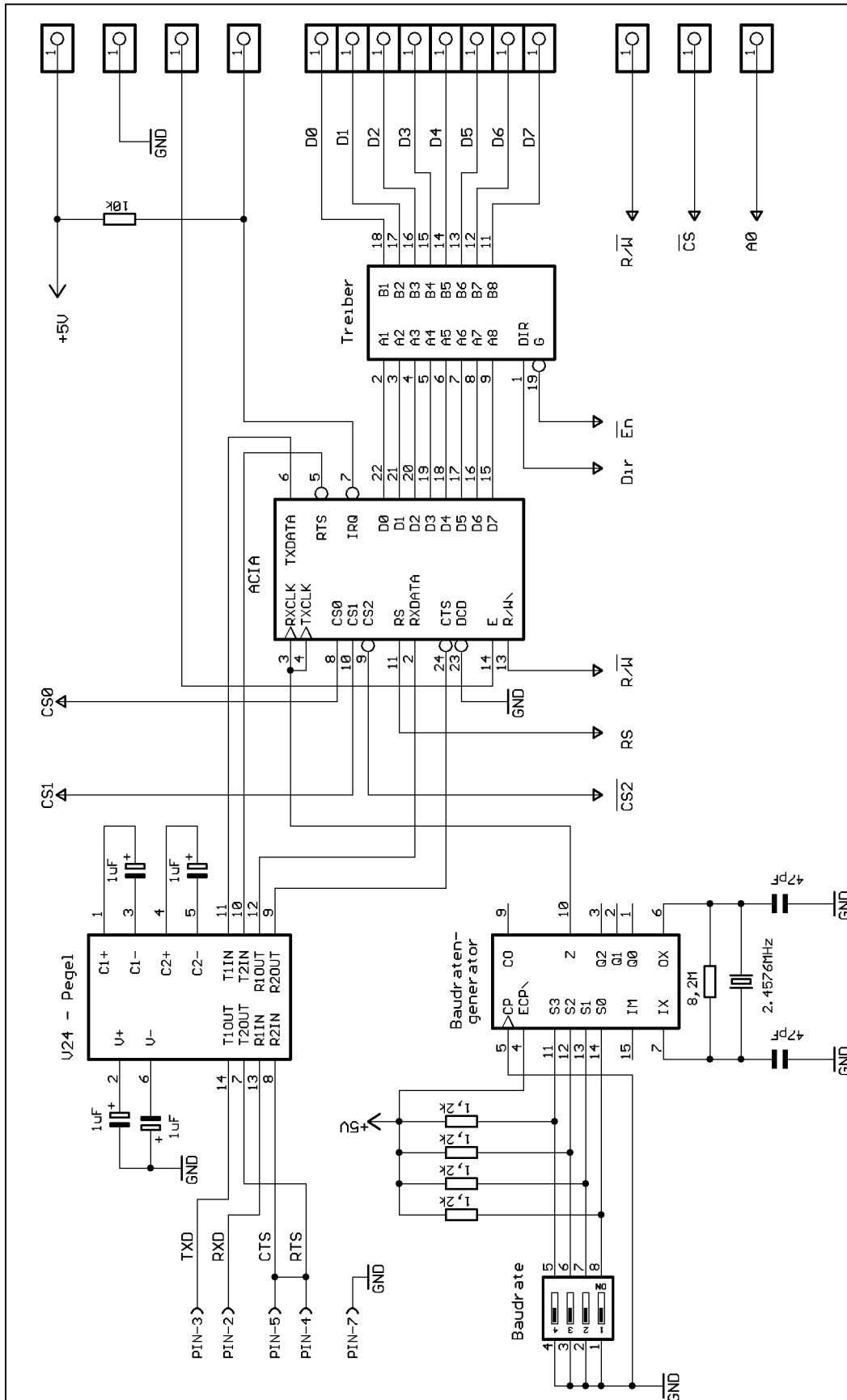
Aufgaben:

1. Assemblieren Sie das Beispielprogramm (Start bei \$A000). SET soll folgendes Übertragungsformat beschreiben:
 $\div 16$, 8 Datenbits, 2 Stopbits, kein IRQ, Sendeunterbrechung gesperrt.
 Testen Sie das Programm.
2. Schreiben Sie eine Routine, die das Alphabet einmal auf dem Terminalbildschirm ausgibt.
3. Schreiben Sie ein Programm, das „Steuerwerke Rechenwerke“ auf dem Terminalbildschirm ausgibt.
4. Schreiben Sie Unterprogramme für die Routinen Initialisierung, Ausgeben und Einlesen.
 Benutzen Sie die indirekte Adressierung für die Serielle Schnittstelle. Das auszugebende Zeichen soll sich beim Aufruf des Unterprogramms im Akku A befinden.
 Beachten Sie das RDRF Bit in der Routine zum Einlesen. Erst wenn es gesetzt ist, wurde ein vollständiges Wort empfangen und kann ausgelesen werden.
5. Schreiben Sie ein Rahmenprogramm, um Ihre Unterprogramme zu testen. Das Rahmenprogramm soll die vom Terminal empfangenen Zeichen zum Terminal zurücksenden (Echo-Betrieb).



Versuch Nr. 7
Serielle Schnittstelle

Gesamtschaltplan





Versuch Nr. 7
Serielle Schnittstelle

Label	MNEMONIC	Adresse	Befehl			Bemerkung
			Op-C.	1.Op.	2.Op.	
		A000				



Versuch Nr. 7
Serielle Schnittstelle

Label	MNEMONIC	Adresse	Befehl			Bemerkung
			Op-C.	1.Op.	2.Op.	
		A000				

Versuch Nr. 7

Serielle Schnittstelle

Prinzip der seriellen Übertragung

Die serielle Datenübertragung erfolgt durch das zeitlich versetzte Senden der Bitwerte eines Datenwortes. Für die Übertragungsstrecke werden daher im Minimalfall nur 3 Leitungen benötigt:

- Sendeleitung
- Empfangsleitung
- gemeinsame Masse

Beim Senden ist ein Parallel/Seriellumsetzer und zum Empfangen ein Seriell/Parallelumsetzer erforderlich. Diese Umsetzer (Wandler) passen die Datenformate der Übertragungsstrecke und des Mikroprozessors aneinander an.

Asynchrone serielle Übertragung

Jede Dateneinheit in einem asynchronen Datenstrom muss Synchronisationsinformationen enthalten. Eine asynchrone Datenübertragung wird daher eingerahmt von einem Startbit und einem oder zwei Stopbits.

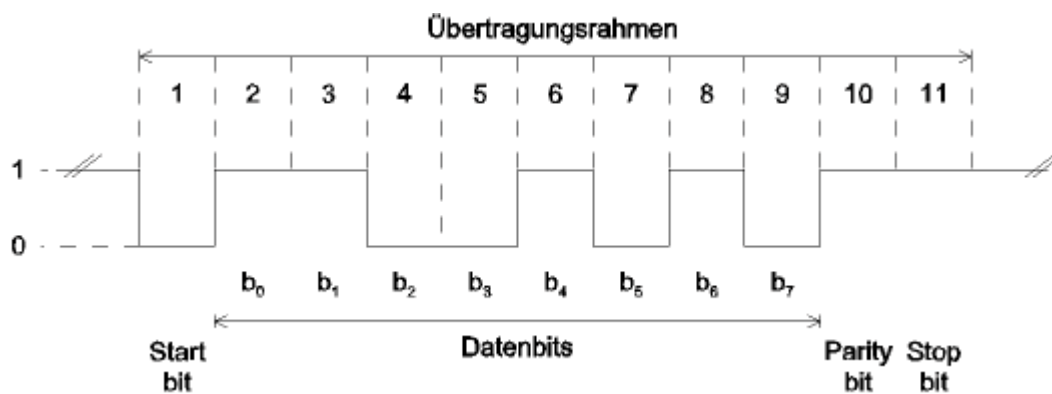


Bild 1: Übertragungsrahmen der ACIA

In unserem Fall wird der Übertragungsrahmen durch das Beschreiben des Steuerregisters festgelegt, die Funktionen des Steuerregisters sollen im folgenden erklärt werden.



Versuch Nr. 7

Serielle Schnittstelle

Die ACIA-Karte

Adressierung der ACIA Karte

Der ACIA wird von der CPU wie adressierbarer Speicherplatz behandelt.

Es stehen zwei Adressen zur Ansteuerung der Karte zur Verfügung, eine Adresse für einen Datensende-/Datenempfangspuffer und eine Adresse für das Steuer-/Statusregister. Dies sind die Adressen \$9000 und \$9001.

Über diese beiden Adressen müssen nun 4 Register adressiert werden, dies geschieht mit Hilfe der Signale RS und R/W.

<i>RS</i>	<i>R/W</i>	<i>Funktion</i>
1	0	Senderegister zur Parallel-Seriellwandlung
1	1	Empfangsregister zur Seriell-Parallelumsetzung
0	0	Steuerregister zur Festlegung der Betriebsart
0	1	Statusregister zur Anzeige des Betriebszustandes

Tabelle 2: Adressierung der ACIA

Das Sende-Daten-Register (TDR = Transmit Data Register)

Dieses Register übernimmt die auf dem Datenbus anstehenden Daten während der negativen Flanke des E-Taktes. Das TDRE-Bit des Statusregisters (TDR Empty) geht dabei auf log. "0"

(Senderegister voll) und die Daten werden seriell gesendet. Nachdem das Datenwort vollständig übertragen wurde, geht das TDRE-Bit wieder auf log. "1" und gibt zu erkennen, dass das TDR neue Daten übernehmen kann.

Das Empfangs-Daten-Register (RDR = Recieve Data Register)

Daten werden automatisch in das leere RDR geschoben, bis es ein komplettes Zeichen enthält. Das RDRF-Bit (RDR Full) geht auf log. "1" und zeigt damit an, daß die CPU die empfangenen Daten abholen kann. Durch den Lesebefehl der CPU wird das RDRF-Bit zurückgesetzt.

**Versuch Nr. 7**

Serielle Schnittstelle

Das Steuerregister (CR = Control Register)

Mit Hilfe des 8bit-Kontrollregisters wird der Übertragungsrahmen festgelegt. Außerdem steuert das Kontrollregister die Unterbrechungsfreigabe des Senders und die Einstellung der Frequenzteilung des Bit-Taktes. Das CR kann unter der Adresse \$9000 angesprochen werden.

Das Register wird wie folgt programmiert:

<i>Bit</i>	<i>Funktion</i>	<i>Erklärung</i>
CR0	Frequenzteilung	Tabelle 3
CR1	Frequenzteilung	Tabelle 3
CR2	Datenwort-Aufbau	Tabelle 4
CR3	Datenwort-Aufbau	Tabelle 4
CR4	Datenwort-Aufbau	Tabelle 4
CR5	Sender-Steuerung	Tabelle 5
CR6	Sender-Steuerung	Tabelle 5
CR7	Empfangsunterbrechung Freigabe	Tabelle 5

Tabelle 3: Controlregister

<i>CR1</i>	<i>CR0</i>	<i>Funktion</i>
0	0	$\div 1$
0	1	$\div 16$, automatische Synchronisation auf Startbit
1	0	$\div 64$, automatische Synchronisation auf Startbit
1	1	Master Reset

Tabelle 4: Counter Divide (Frequenzteilung)

<i>CR4</i>	<i>CR3</i>	<i>CR2</i>	<i>Funktion</i>
0	0	0	7 Bits + gerade Parität + 2 Stopbits
0	0	1	7 Bits + ungerade Parität + 2 Stopbits
0	1	0	7 Bits + gerade Parität + 1 Stopbit
0	1	1	7 Bits + ungerade Parität + 1 Stopbit
1	0	0	8 Bits + 2 Stopbits
1	0	1	8 Bits + 1 Stopbit
1	1	0	8 Bits + gerade Parität + 1 Stopbit
1	1	1	8 Bits + ungerade Parität + 1 Stopbit

Tabelle 5: Word Select (Datenwort Aufbau)

**Versuch Nr. 7**

Serielle Schnittstelle

CR6	CR5	Funktion
0	0	RTS = "0", Sendeunterbrechung gesperrt
0	1	RTS = "0", Sendeunterbrechung freigegeben
1	0	RTS = "1", Sendeunterbrechung gesperrt
1	1	RTS = "0", Sendeunterbrechung gesperrt, Unterbrechungssignal auf Sende-Datenausgang

Tabelle 6: Transmit Control (Sender Steuerung)

CR7	Funktion
0	Interrupt gesperrt
1	Interrupt durch "Empfangs-Daten-Reg. voll" und "Empfänger-Überlauf" möglich

Tabelle 7: Recieve Interrupt Enable (Empfangs-Unterbrechung Freigabe)

Das Statusregister

Im Statusregister wird der Status des Sende-Daten-Registers, des Empfangs-Daten-Registers und der Peripherie angezeigt.

Die Bedeutung der Bits ist in folgender Tabelle dargestellt.

Bit	Funktion / Bedeutung
0	Recieve Data Register Full (RDRF) wird gesetzt, wenn ein Datenwort vollständig empfangen wurde wird gelöscht, wenn die Daten ausgelesen wurden
1	Transmit Data Register Empty (TDRE) log. "1": TDR kann neue Daten aufnehmen
2	Data Carrier Detect (DCD) wird gesetzt, wenn der DCD-Eingang auf log. "1" liegt (kein Peripheriegerät angeschlossen). Kann Interrupt auslösen, wenn freigegeben.
3	Clear To Send (CTS) log. "0": Peripheriegerät ist bereit (CTS-Eingang = log."0") log. "1": Peripheriegerät ist nicht bereit, TDRE kann nicht gesetzt werden.
4	Framing Error (FE) wird gesetzt, wenn bei einem empfangenen Zeichen keine gültigen Stopbits gefunden wurden. Wird gelöscht, wenn das RDR gelesen wurde.
5	Reciever Overrun (OVRN) wird gesetzt, wenn ein oder mehrere Zeichen innerhalb eines Datenstromes verloren gehen, d.h. Zeichen werden empfangen, aber nicht ausgelesen.
6	Parity Error (PE) wird gesetzt, wenn ein Paritätsfehler in den ankommenden Daten festgestellt wurde. Wird gelöscht, wenn das RDR gelesen wurde.
7	Interrupt Request (IRQ) Zeigt eine Unterbrechungsanforderung an, wird gelöscht, wenn aus dem RDR gelesen oder in das TDR geschrieben wurde.

Tabelle 8: Statusregister

**Versuch 7:**

Serielle Schnittstelle

Der Baudraten-Generator

Die Datenübertragungsrate kann mit dem auf der Karte integrierten Baudraten-Generator eingestellt werden. Die folgende Tabelle zeigt die Baudraten, die mit den Codierschaltern eingestellt werden können.

<i>S3</i>	<i>S2</i>	<i>S1</i>	<i>S0</i>	<i>Baudrate</i>	
0	0	1	0	50	Baud
0	0	1	1	75	Baud
0	1	0	0	134,5	Baud
0	1	0	1	200	Baud
0	1	1	0	600	Baud
0	1	1	1	2400	Baud
1	0	0	0	9600	Baud
1	0	0	1	4800	Baud
1	0	1	0	1800	Baud
1	0	1	1	1200	Baud
1	1	0	0	2400	Baud
1	1	0	1	300	Baud
1	1	1	0	150	Baud
1	1	1	1	110	Baud

Tabelle 9: Baudraten